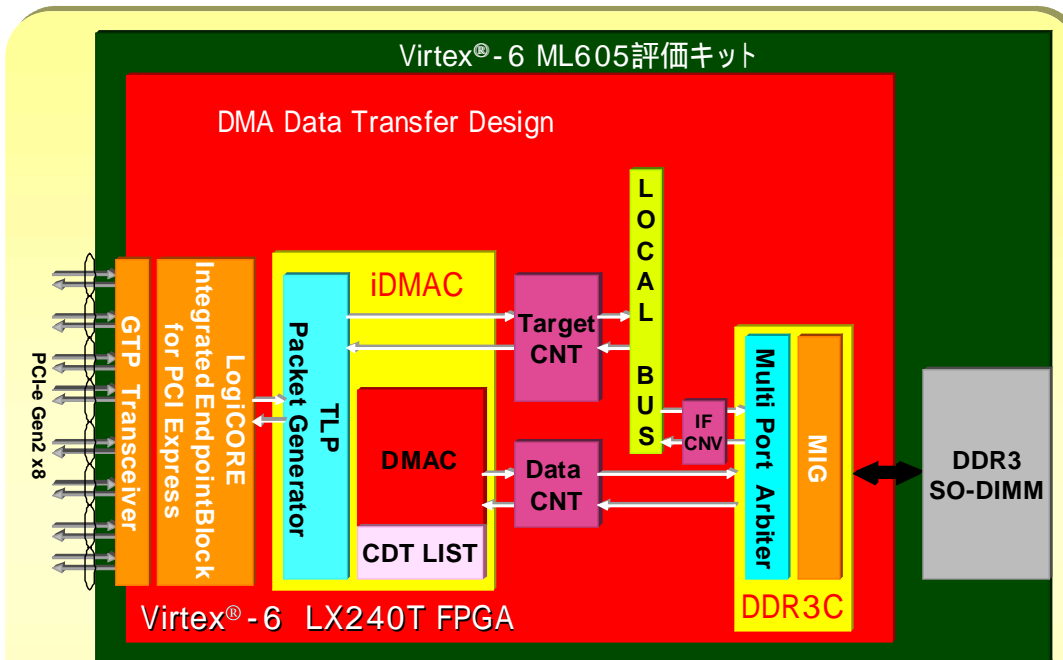


Virtex® - 6対応PCI Express®ソリューション

- Gen1 / Gen2 ~ 8Lane対応 PCI Express®
- DDR2,DDR3対応マルチポートアービタ
- 1000Base-T,Auroraインタフェース



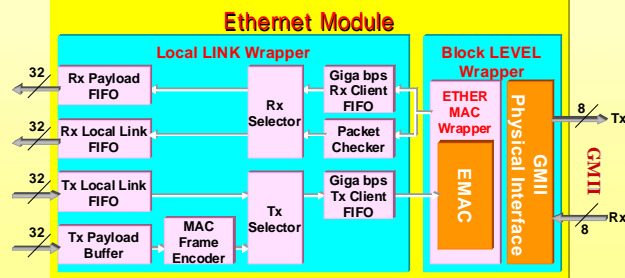
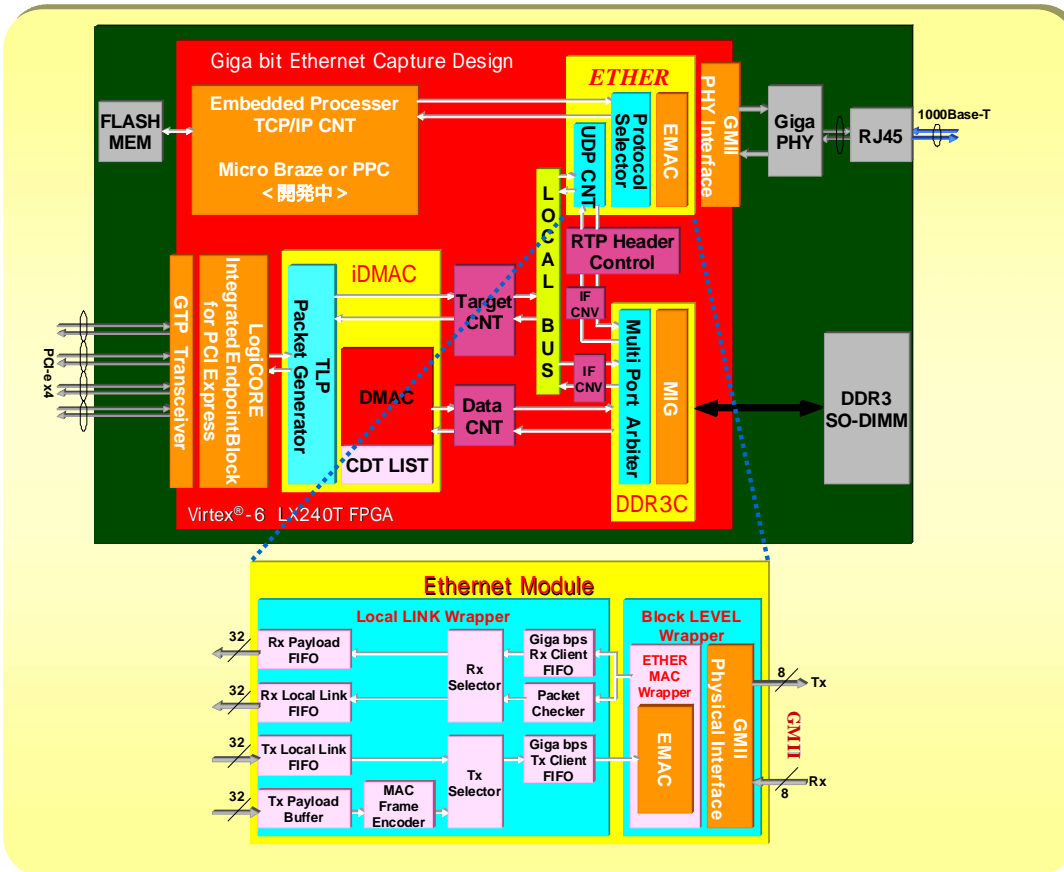
PCI Express® iDMACソリューション

- ザイリンクス社とのアライアンスプログラムにより実現
- PCI Express®用ザイリンクスLogiCORE™ Endpoint COREとOKI情報システムズ製 iDMAC®ソリューションを組み合わせることで、PCI Express®の転送能力を最大限に向上可能
- PCI Express®デザイン構築の為の主要機能をプラットフォーム化してあるため開発期間を大幅に短縮可能
- ユーザ回路部のみの変更(開発)でPCI Express®を使用した各種のアプリケーションに適用可能

【転送性能】

Device	PCIe Spec.	DMAライト	DMAリード
Virtex® - 6	Gen2 8Lane	2049 (MByte/S)	2402 (MByte/S)
	Gen2 4Lane	1298 (MByte/S)	1471 (MByte/S)
Virtex® - 5	Gen1 8Lane	1234 (MByte/S)	1467 (MByte/S)
	Gen1 4Lane	695 (MByte/S)	782 (MByte/S)

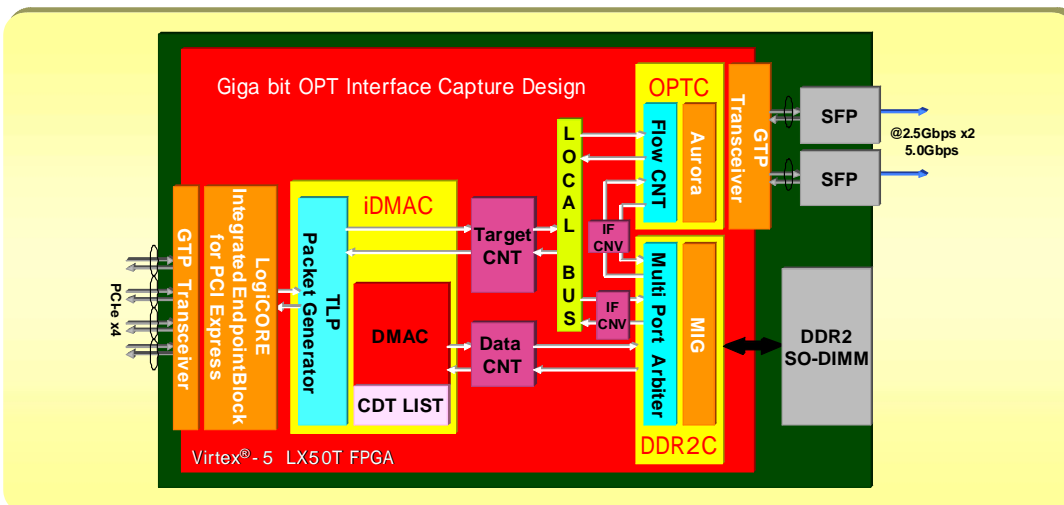
DMAライト: メインメモリ ローカルメモリ
 DMAリード: ローカルメモリ メインメモリ



イーサネットインタフェースデザイン

- ザイリンクス製トライモードEMAC の使用によるFPGA内部へのMAC機能の搭載
- UDP及びTCP/IP 1プロトコル制御は、FPGA内部に搭載する **Ethernet Module** で制御
- **Ethernet Module** のユーザインターフェースは、一般的なFIFOインターフェース
- ユーザインターフェースに出力されるデータは、RTPヘッダ付ペイロード部(実行データ部)のみの為、ユーザ側でのプロトコル制御は不要

1.TCP / IP制御は、FPGA内部のEmbedded CPUで実施 < 開発中 >



光インタフェースデザイン

- ザイリンクス製Auroraプロトコルにより高速光インタフェースを実現
- **OPTC Module**ではCRCチェックと再送制御を行い高い信頼性が必要なデータにも対応
- 2Laneの光インタフェースにより5.0Gbpsの伝送路を確保

PCI Express® + Giga bit Ethernet ソリューション

Videoデータ伝送デザイン

映像データを抽出しフレームバッファへ格納

フレーム周期に同期してフレームバッファから1ライン毎に読み出す

1ライン単位でRTPヘッダを付加しUDP/IPパケット化してEthernetに送信

UDP/IPパケットを検出し、RTPパケット部のみを抽出

映像データをフレームバッファに蓄積

DMAC(iDMAC)にてMain Memoryへ転送

